

**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(51) Int. Cl.<sup>6</sup>  
 H01L 27/148

(45) 공고일자 2005년06월16일  
 (11) 등록번호 10-0488132  
 (24) 등록일자 2005년04월28일

(21) 출원번호 10-1998-0043905  
 (22) 출원일자 1998년10월20일

(65) 공개번호 10-1999-0037228  
 (43) 공개일자 1999년05월25일

(30) 우선권주장 97-288394 1997년10월21일 일본(JP)

(73) 특허권자 산요덴키가부시키가이샤  
 일본 오사카후 모리구치시 게이한 혼도오리 2쵸메 5반 5고

(72) 발명자 이노우에 태쓰히로  
 일본 기후깨 모또스궁 스나미즈 후루하시 1732-1

미야가와 가즈히로  
 일본 기후깨 모또스궁 모또스즈 본주 2670-9

(74) 대리인 구영창  
 주성민

심사관 : 나광표

**(54) 고체활상소자및고체활상소자의제조방법**

**요약**

CCD 고체 활상 소자의 암전류(暗電流)를 저감한다.

채널 분리 영역(12)이 형성된 실리콘 기판(11) 상에, 게이트 절연막(14)을 사이에 두고 전송 전극(15)을 배치하고, 이 전송 전극(15) 상에 층간 절연막(16)을 사이에 두고 전력 공급선(20)을 배치한다. 전력 공급선(20)은 다결정 실리콘층(18) 및 실리사이드층(19)으로 이루어지는 폴리사이드 구조를 이루고, 채널 분리 영역(12)을 따라 연장된다.

**대표도**

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 고체 활상 소자의 활상부의 구조를 도시하는 단면도.

도 2는 본 발명의 고체 활상 소자의 제조 방법을 설명하는 공정별 단면도.

도 3은 프레임 전송 방식의 고체 활상 소자의 구성을 도시하는 개략도.

도 4는 종래의 고체 활상 소자의 활상부의 구조를 도시하는 평면도.

도 5는 종래의 고체 활상 소자의 활상부의 구조를 도시하는 단면도.

<도면의 주요 부분에 대한 부호의 설명>

i : 활상부

s : 축적부

h : 수평 전송부

d : 출력부

1, 11 : 실리콘 기판

2, 12 : 분리 영역

3, 13 : 확산층

4, 14 : 게이트 절연막

5, 15 : 전송 전극

6, 16 : 중간 절연막

7, 17 : 컨택트 홀

8, 20 : 전력 공급선

18 : 다결정 실리콘층

19 : 실리사이드층

21 : 절연막

22 : 평탄층

23 : 표면 보호막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 프레임 전송 방식의 CCD 고체 활상 소자 및 그 고체 활상 소자의 제조 방법에 관한 것이다.

도 3은 프레임 전송 방식의 고체 활상 소자의 구성을 도시하는 개략도이다.

프레임 전송 방식의 CCD 고체 활상 소자는 활상부 i, 축적부 s, 수평 전송부 h 및 출력부 d를 구비한다. 활상부 i는 수직 방향으로 연장하여, 서로 평행하게 배열된 복수의 시프트레지스터로 이루어지며, 각 시프트레지스터의 각 비트가 수광화소를 구성한다. 축적부 s는 활상부 i의 시프트레지스터에 연속하는 차광된 복수의 시프트레지스터로 이루어지며, 각 시프트레지스터의 각 비트가 축적화소를 구성한다. 수평 전송부 h는 수평 방향으로 연장되는 단일의 시프트레지스터로 이루어지며, 각 비트에 축적부 s의 시프트레지스터의 출력이 접속된다. 출력부 d는 수평 전송부 h로부터 전송 출력되는 전하를 일시적으로 축적하는 용량 및 그 용량에 축적된 전하를 배출하는 리셋트랜지스터를 포함한다. 이에 따라, 활상부 i의 각 수광화소에 축적되는 정보 전하는 각 화소마다 독립하여 축적부 s의 축적화소로 전송된 후, 1행씩 축적부 s로부터 수평 전송부 h로 전송되며, 또한 1화소 단위로 수평 전송부 h로부터 출력부 d로 전송된다. 그리고, 출력부 d에서 1화소마다의 전하량이 전압값으로 변환되고, 그 전압값의 변화가 CCD 출력으로서 외부 회로로 공급된다.

도 4는 활상부 i의 구조를 도시하는 평면도이고, 도 5의 (X), (Y)는 각각 도 4의 X-X 선 및 Y-Y 선에 따른 단면도이다. 이들 도면에서는 3상 구동(3相驅動)의 경우를 나타내고 있다.

P형 실리콘 기판(1)의 표면 영역에, 선박 산화된 두꺼운 산화 실리콘막으로 이루어진 채널 분리 영역(2)이 수직 방향으로 연장되어 서로 평행하게 배치된다. 이를 채널 분리 영역(2)의 사이에는 N형 확산층(3)이 형성되고, 정보 전하의 전송 경로로 되는 채널 영역이 형성된다. 확산층(3) 상에는 얇은 산화 실리콘막으로 이루어진 게이트 절연막(4)을 사이에 두고 다결정 실리콘으로 이루어진 복수의 전송 전극(5)이 각각 일정한 거리를 두고 평행하게 배치된다. 전송 전극(5) 상에는 게이트 절연막(4)과 동일한 중간 절연막(6)이 적층되고, 이 중간 절연막(6) 상에 채널 분리 영역(2)을 따라 알루미늄으로 이루어진 전력 공급선(8)이 배치된다. 이 전력 공급선(8)은 채널 분리 영역(2)과 전송 전극(5)의 교점에서 중간 절연막(6)에 소정의 간격으로 형성되는 컨택트 홀(7)을 통해 전송 전극(5)에 접속된다. 예를 들면, 3상 구동의 경우, 전송 전극(5)의 2개 절

리서 컨택트 홀(7)이 설치되고, 각 전력 공급선(8)이 전송 전극(5)에 2개 걸리서 접속된다. 이에 따라, 전력 공급선(8)으로부터 3상의 전송 클럭  $\phi 1 \sim \phi 3$ 이 전송 전극(5)에 인가되게 된다. 각 전송 전극(5)에는 복수의 전력 공급선(8)으로부터 일정한 간격으로 전력이 공급되게 되기 때문에, 화소수의 증가에 따라 전송 전극(5)이 길어진 경우에도 거의 자연없이 전송 전극(5) 전체에 전송 클럭  $\phi 1 \sim \phi 3$ 을 인가할 수 있다. 이러한 고체 활상 소자는 예를 들면 일본국 실공평(實公平) 7-51799호 공보에 개시되어 있다.

#### 발명이 이루고자 하는 기술적 과제

전송 전극(5) 상에 알루미늄으로 이루어진 전력 공급선(8)을 배치한 경우, 수광 화소로 되는 채널 영역으로 입사되는 빛이 전력 공급선(8)의 표면에서 불규칙하게 반사되어, 주변부의 수광 화소로 입사될 우려가 있다. 이러한 빛의 반사는 수광 화소 내에 불필요한 전하를 발생시켜, 화상의 교란이나 색변짐을 초래하는 요인이 된다.

또한, 채널 영역의 실리콘과 산화 실리콘과의 계면의 불포화 결합을 수소에 의해 보상할 때, 그 수소가 전력 공급선(8)의 알루미늄에 흡착되기 쉬워지기 때문에, 계면에 충분한 양의 수소가 공급되지 않게 되어, 불포화 결합의 보상이 불충분해진다. 또한, 수소를 채널 영역에 도입하기 위한 열처리에서는, 알루미늄이 융해되지 않을 정도의 저온으로 할 필요가 있고, 계면에 충분한 양의 수소를 공급하기 위해서는 장시간의 열처리가 필요해진다.

그래서 본 발명은, 각 수광 화소에 입사되는 빛의 난반사(亂反射)를 저감하면서, 채널 영역의 실리콘/산화 실리콘 계면의 불포화 결합을 효율적으로 보상할 수 있도록 하는 것을 목적으로 한다.

본 발명의 고체 활상 소자는, 반도체 기판과; 상기 반도체 기판의 한 주면에 한 방향으로 연장하여 서로 평행하게 배치되는 복수의 채널 영역과; 상기 반도체 기판의 한 주면 상에 상기 복수의 채널 영역과 교차하는 방향으로 연장하여 서로 평행하게 배치되는 복수의 전송 전극과; 상기 복수의 채널 영역의 간극(間隙)을 따라 상기 복수의 전송 전극 상에 배치되고, 소정의 간격으로 상기 복수의 전송 전극에 선택적으로 접속되는 복수의 전력 공급선을 포함하고, 상기 복수의 전력 공급선은 고용점 금속 또는 고용점 금속을 결합시킨 실리사이드를 포함하는 것을 특징으로 하고 있다.

본 발명에 따르면, 전력 공급선을 고용점 금속 또는 고용점 금속을 결합시킨 실리사이드로 함으로써, 전력 공급선의 표면에서의 빛의 반사율이 저하한다. 따라서, 빛의 반사에 기인하는 주변 화소로의 빛의 스며듦이 적어진다.

그리고, 본 발명의 고체 활상 소자의 제조 방법은, 반도체 기판의 한 주면에 서로 평행한 복수의 분리 영역을 형성하고 동시에, 분리 영역들 사이에 각각 채널 영역을 형성하는 제1 공정과; 상기 반도체 기판의 한 주면 상에 제1 절연막을 적층하고, 이 제1 절연막 상에 상기 복수의 분리 영역과 교차(交差)하여 복수의 전송 전극을 형성하는 제2 공정과; 상기 복수의 전송 전극을 피복하여 제2 절연막을 적층하고, 이 제2 절연막의 상기 복수의 분리 영역과 상기 복수의 전송 전극과의 교점부분에 컨택트 홀을 형성하는 제3 공정과; 상기 복수의 분리 영역에 따라 상기 제2 절연막 상에 복수의 전력 공급선을 형성하는 제4 공정과; 상기 복수의 전력 공급선을 피복하여 제3 절연막을 적층한 후, 열처리하는 제5 공정을 포함하고, 상기 전력 공급선은 고용점 금속 또는 고용점 금속을 결합시킨 실리사이드를 포함하고, 상기 제3 절연막은 절화 실리콘막을 포함하는 것을 특징으로 한다.

본 발명에 따르면, 전력 공급선을 피복하여 절연막을 형성한 후에 열처리함으로써, 절연막에 함유되는 수소가 채널 영역의 기판과 절연막과의 계면으로 공급되어, 기판의 불포화 결합이 보상된다.

#### 발명의 구성 및 작용

도 1의 (X), (Y)는 본 발명의 고체 활상 소자의 주요부를 도시하는 단면도로서, 각각 도 5와 동일 부분을 도시하고 있다.

본 발명의 고체 활상 소자는 실리콘 기판(11)으로부터 전송 전극(15)까지의 구성에 대해서는, 도 5에 도시된 고체 활상 소자와 동일하다. 즉, P형 실리콘 기판(11)의 표면 영역에, 복수의 채널 분리 영역(12)이 서로 평행하게 형성되고, 이 분리 영역(12) 사이에 N형 확산층(13)이 형성됨과 동시에, 분리 영역(12) 상에 게이트 절연막(14)을 사이에 두고 복수의 전송 전극(15)이 배치된다. 또한, 채널 분리 영역(12)에 대해서는 두꺼운 산화막 외에, 고농도의 P형 확산층, 또는 두꺼운 산화막과 확산층과의 조합에 의해 형성될 수 있다.

본 발명이 특징으로 하는 바는, 다결정 실리콘층(18) 상에 실리사이드층(19)을 적층한 폴리사이드 구조에 의해 전력 공급선(20)을 형성하는 데에 있다.

전송 전극(15)이 형성된 실리콘 기판(11) 상에, 전송 전극(15)을 피복하여 산화 실리콘으로 이루어진 중간 절연막(16)이 적층된다. 이 중간 절연막(16)의 소정 개소에 컨택트 홀(17)이 설치되고, 분리 영역(12) 상에 적층되는 다결정 실리콘층(18)이 컨택트 홀(17)을 통해 전송 전극(15)에 접속된다. 또한, 컨택트 홀(17)의 위치는 도 5와 동일하다. 다결정 실리콘층(18) 상에는 텅스텐, 몰리브네, 티탄 등의 고용점 금속을 실리콘과 결합시킨 실리사이드층(19)이 적층되고, 다결정 실리콘 및 실리사이드의 2층으로 이루어진 소위 폴리사이드 구조의 전력 공급선(20)이 형성된다. 전력 공급선(20)을 구성하는 실리사이드층(19)은 알루미늄에 비해 빛의 반사율이 낮기 때문에, 채널 영역으로 입사되는 빛을 반사하기 어렵다. 따라서, 각 채널 영역(수광 화소)에는 전력 공급선(20)으로부터의 반사광의 입사가 적어진다.

전력 공급선(20)이 형성된 실리콘 기판(11) 상에는, 전력 공급선(20)을 피복하여 산화 실리콘으로 이루어진 절연막(21)이 적층되고, 이 절연막(21) 상에 PSG(Phospho-Silicate Glass)로 이루어진 평탄층(22)이 적층된다. 그리고, 평탄층(22)의 표면에 절화 실리콘으로 이루어진 표면 보호막(23)이 형성된다. 절화 실리콘으로 이루어진 표면 보호막(23)은 다양한 수소를 포함하고, 채널 영역의 실리콘/산화 실리콘 계면에 대한 수소의 공급원으로 된다. 즉, 표면 보호막(23)을 형성한 후에 열처리를 실시함으로써, 표면 보호막(23 : 절화 실리콘)에 함유되는 수소를 이동시키, 채널 영역의 실리콘/산화 실리콘 계면으로 공급한다. 이 때, 폴리사이드 구조의 전력 공급선(20)은 알루미늄에 비해 수소의 흡착력이 낮기 때문에, 채널 영역의 실리콘/산화 실리콘 계면으로의 수소의 공급을 방해하지 않는다. 또한, 전력 공급선(20)은 고용점 금속의 실리사이드

로 구성되기 때문에, 고온에서의 열처리에 견딜 수 있고, 수소의 도입을 위한 열처리 온도를 높게 설정할 수 있게 된다. 따라서, 채널 영역의 실리콘/산화 실리콘 계면으로 충분한 양의 수소가 공급되게 되고, 채널 영역의 불포화 결합을 확실하게 보상할 수 있다.

도 2는 본 발명의 고체 활상 소자의 제조 방법을 설명하는 공정별 단면도이다. 이 도면에서는 도 1의 (X)와 동일 부분을 도시한다.

(a) : 제1 공정

P형 실리콘 기판(11)의 표면 영역에, 선택 산화법에 의해 산화 실리콘막을 성장시켜 복수의 채널 분리 영역(12)을 형성한다. 이 채널 분리 영역(12)은 서로 일정한 거리를 두고 수직 방향으로 연장된다. 그리고, 채널 분리 영역(12)를 사이에, 인등의 N형 불순물을 주입하여, 채널 영역으로 되는 확산층(13)을 형성한다.

(b) : 제2 공정

확산층(13)이 형성된 실리콘 기판(11)의 표면을 열산화하여, 게이트 절연막(14)을 형성한다. 이 열산화 처리에서는, 채널 분리 영역(12)의 표면에도 산화 실리콘막이 형성된다. 계속해서, 게이트 절연막(14) 상에 CVD법에 의해 다결정 실리콘을 적층하여, 다결정 실리콘막을 형성한다. 그리고, 이 다결정 실리콘막을, 채널 분리 영역(12)을 횡단하는 소정의 형상으로 패터닝하여, 복수의 전송 전극(15)을 형성한다.

(c) : 제3 공정

복수의 전송 전극(15) 상에 CVD법에 의해 산화 실리콘을 적층하여, 중간 절연막(16)을 형성한다. 그리고, 채널 분리 영역(12) 상에서 중간 절연막(16)에 컨택트 홀(17)을 형성한다. 이 컨택트 홀(17)은 일정한 간격, 예를 들면 3상 구동의 경우에는 2열 걸러서(전송 전극(15)의 2개 걸러서)으로 형성된다.

(d) : 제4 공정

중간 절연막(16) 상에 CVD법에 의해 다결정 실리콘층(18) 및 실리사이드층(19)을 적층하여, 폴리사이드 구조의 도전층을 형성한다. 이 도전층을 패터닝하고, 전송 전극(15)과 교차하여 채널 분리 영역(12)을 따라 연장되는 전력 공급선(20)을 형성한다.

전력 공급선(20)을 형성한 후, TEOS(tetraethyl orthosilicate)를 이용한 CVD법에 의해 산화 실리콘을 적층하여, 도 1의 (X)에 도시된 바와 같이, 전력 공급선(20)을 덮는 절연막(21)을 적층한다. 이 절연막(21) 상에 CVD법에 의해 PSG를 적층하고, 열처리하여 플로우함으로써 평탄층(22)을 형성한다. 또한, 평탄층(22)의 표면에 플라즈마 CVD법에 의해 질화 실리콘을 적층하여, 표면 보호막(23)을 형성한다. 통상, 플라즈마 CVD법에 의해 형성된 질화 실리콘은 다량의 수소를 함유하되, 실리콘 기판(11)에 대한 수소의 공급원으로 된다. 그리고, 실리콘 기판(11) 전체를 열처리함으로써 표면 보호막(23) : 질화 실리콘)에 함유되는 수소를 확산시켜, 실리콘 기판(11)의 표면으로 공급한다. 이 수소는 채널 영역의 실리콘/산화 실리콘계면에서 불포화 결합을 보상하고, 계면 준위를 저하시킨다. 이 결과, 채널 영역에 발생하는 암전류(暗電流)가 저감된다. 특정에 의하면, 암전류에 기인하는 출력 전압은 알루미늄으로 이루어진 전력 공급선(8)의 경우와 비교하여 1/2 ~ 1/3 정도까지 저하된 것이 확인되었다.

이상의 실시 형태에서는, 전송 전극(15)을 1층 구조로 한 경우를 예시했지만, 이 전송 전극(15)은 이웃끼리 서로 오버랩되는 2층 구조로 해도 된다. 그리고, 전송 전극(15)에 인가되는 전송 클럭  $\phi 1 \sim \phi 3$ 에 대해서는, 3상에 한정되는 것이 아니라, 4상 이상이라도 채용할 수 있다. 이 경우, 전송 전극과 전력 공급선 사이의 컨택트는 구동 상수(驅動相數)에 따라 설정하면 된다.

또한, 전력 공급선(20)에 대해서는, 실리사이드층(19)의 단상(單相)으로 하는 것, 또는 실리사이드층(19)을 고용점 금속층으로 하는 것도 가능하다. 실리사이드층(19)을 고용점 금속층으로 하는 경우, 고용점 금속의 적층에 이어서 열처리를 실시하도록 하면, 다결정 실리콘과 고용점 금속을 결합시킬 수 있다.

#### 발명의 효과

본 발명에 따르면, 전력 공급선의 표면에서의 빛의 반사를 적게 하고, 채널 영역으로의 반사광의 입사를 저감할 수 있다. 따라서, 재생 화면 상의 화상의 교란이나 색변침의 발생을 억압할 수 있다.

또한, 실리콘 기판에 대해 효율적으로 수소를 공급할 수 있게 되고, 채널 영역의 실리콘/산화 실리콘 계면의 불포화 결합이 보상된다. 이에 따라, 채널 영역의 계면 준위가 저하하여 암전류가 저감된다.

(57) 청구의 범위

#### 청구항 1.

반도체 기판;

상기 반도체 기판의 한 주면(主面)에 한 방향으로 연장하여 서로 평행하게 배치되고, 입사되는 광에 응답하여 발생하는 정보 전하를 축적하는 복수의 채널 영역;

이들 복수의 채널 영역을 전기적으로 분리하는 복수의 분리 영역;

상기 반도체 기판의 한 주면 상에 상기 복수의 채널 영역과 교차하는 방향으로 연장하여 서로 평행하게 배치되고, 상기 복수의 채널 영역 중에 축적되는 정보 전하를 상기 복수의 채널 영역을 전송 경로로 하여 일방향으로 전송하는 다결정 실리콘으로 된 복수의 전송 전극; 및

이들 복수의 전송 전극 상에서 상기 복수의 분리 영역을 따라 배치되고, 소정의 간격으로 상기 복수의 전송 전극에 선택적으로 접속되는 복수의 전력 공급선

을 포함하고,

상기 복수의 전력 공급선은, 상기 전송 전극에 접속되는 다결정 실리콘층 상에 고용점 금속 또는 고용점 금속과 실리콘을 결합시킨 실리사이드층을 적층한 2층 구조를 갖는 것을 특징으로 하는 고체 활성 소자.

## 청구항 2.

반도체 기판의 한 주면에 서로 평행한 복수의 분리 영역을 형성함과 동시에, 각 분리 영역들 사이에 각각 채널 영역을 형성하는 제1 공정;

상기 반도체 기판의 한 주면 상에 제1 절연막을 적층하고, 이 제1 절연막 상에 상기 복수의 분리 영역과 교차하여 복수의 전송 전극을 형성하는 제2 공정;

상기 복수의 전송 전극을 피복하여 제2 절연막을 적층하고, 이 제2 절연막의 상기 복수의 분리 영역과 상기 복수의 전송 전극과의 교점 부분에 컨택트 홀을 형성하는 제3 공정;

상기 복수의 분리 영역을 따라 상기 제2 절연막 상에 복수의 전력 공급선을 형성하는 제4 공정; 및

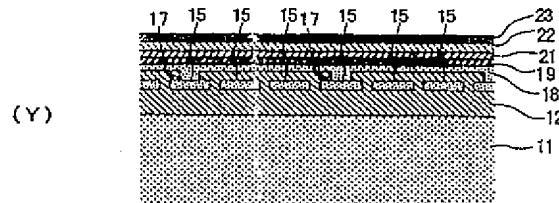
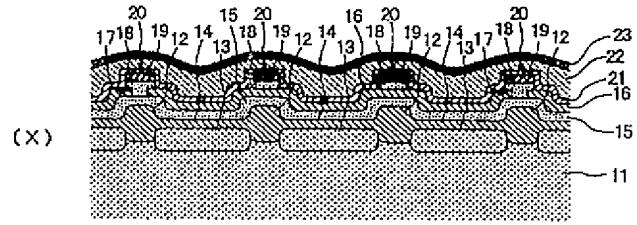
상기 복수의 전송 전극 및 상기 복수의 전력 공급선을 피복하여 제3 절연막을 적층한 후, 열처리하는 제5 공정

을 포함하고,

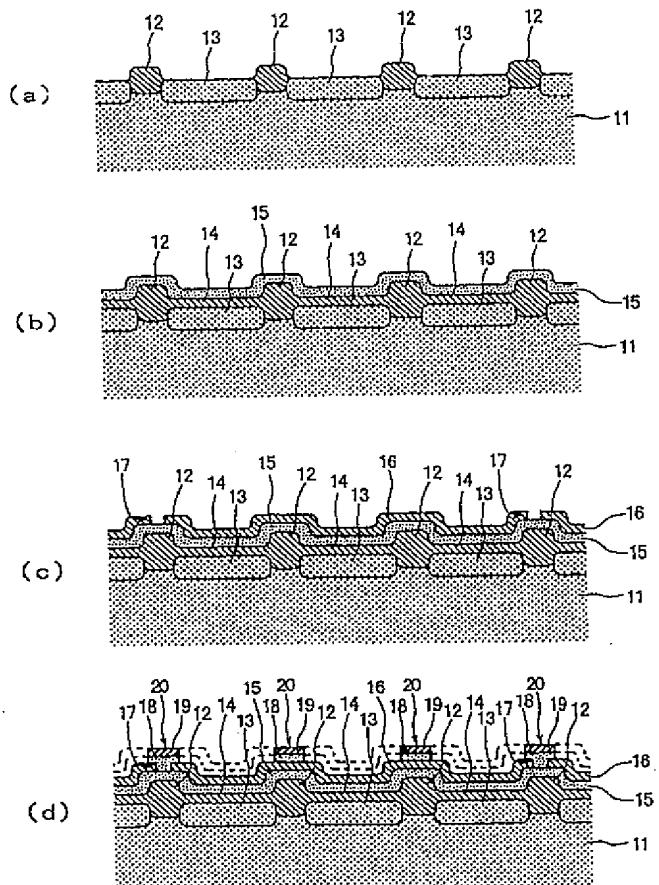
상기 전력 공급선은, 상기 전송 전극에 접속되는 다결정 실리콘층 상에 고용점 금속 또는 고용점 금속과 실리콘을 결합시킨 실리사이드층을 적층한 2층 구조를 갖고, 상기 제3 절연막은 질화 실리콘막을 포함하는 것을 특징으로 하는 고체 활성 소자의 제조 방법.

도면

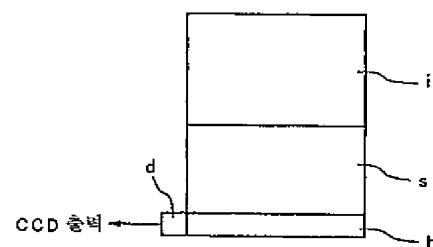
도면 1



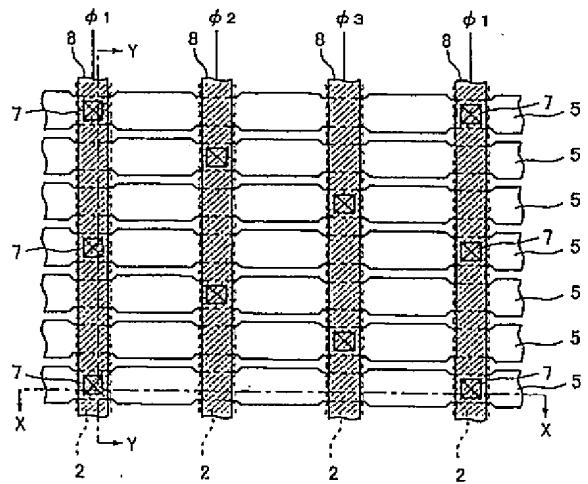
## 도면2



## 도면3



도면4



도면5

